

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223461

(43)Date of publication of application : 11.08.2000

(51)Int.Cl. H01L 21/304

(21)Application number : 11-020447 (71)Applicant : NEC CORP

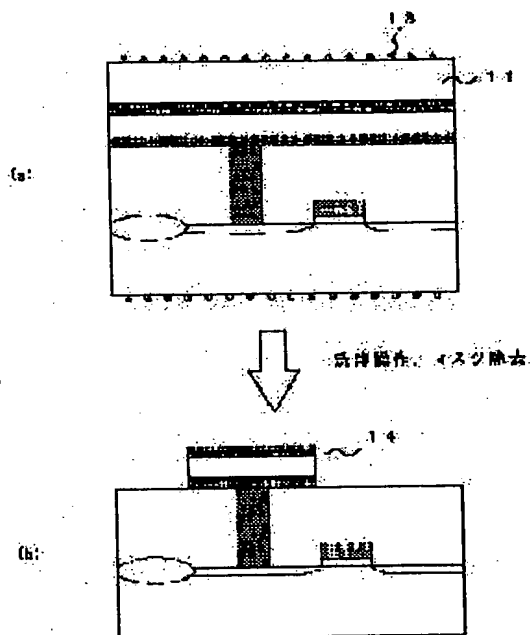
(22)Date of filing : 28.01.1999 (72)Inventor : WATANABE KAORI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To surely eliminate contaminants due to platinum group metal such as Pt and Ir, with respect to a silicon-based insulating film and the silicon substrate back surface of a silicon oxide film or the like formed on a substrate, and prevent the contaminants from sticking again to the wafer.

SOLUTION: In this manufacturing method of a semiconductor device, which uses a silicon substrate as a base and has a capacitance part 14 constituted of by the combination of a platinum group metal electrode and a ferroelectric film, a cleaning process which uses a cleaning liquid in which trace amounts of hydrofluoric acid and chelating agent are added to chemical agent for eliminating metal, as cleaning liquid to contaminant 13 due to platinum group metal on a silicon based insulating film and a silicon substrate back surface, which are formed in contact with the platinum group metal, is executed.



LEGAL STATUS

[Date of request for examination] 24.03.1999

[Date of sending the examiner's
decision of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-223461
(P2000-223461A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl.⁷

H 0 1 L 21/304

識別記号

6 4 7

F I

H 0 1 L 21/304

テームト (参考)

6 4 7 Z

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号

特願平11-20447

(22) 出願日

平成11年1月28日 (1999.1.28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 渡▲造▼ かおり

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100100893

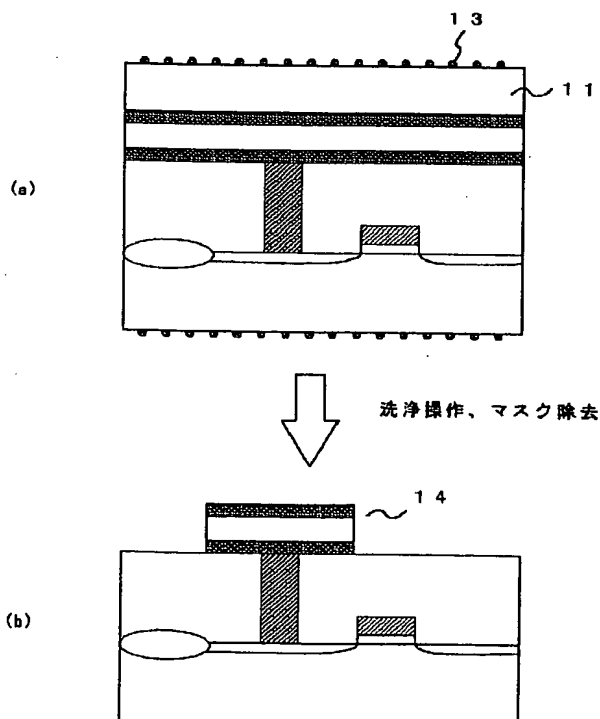
弁理士 渡辺 勝 (外3名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 基板上に形成されたシリコン酸化膜等のシリコン系絶縁膜およびシリコン基板裏面に対するPtやIr等の白金族金属による汚染物質を確実に除去し、また、その再付着を防止する。

【解決手段】 シリコン基板をベースとして白金族金属電極と強誘電体膜との組み合わせからなる容量部14を有する半導体装置の製造方法であって、白金族金属に接して形成されるシリコン系絶縁膜およびシリコン基板裏面の白金族金属による汚染13を、洗浄液として金属除去用薬液に微量のフッ酸およびキレート剤を添加した洗浄液を用いる洗浄工程を有することを特徴とする。



【特許請求の範囲】

【請求項1】 シリコン基板をベースとして白金族金属電極と強誘電体膜との組み合わせからなる容量部を有する半導体装置の製造方法であって、白金族金属に接して形成されるシリコン系絶縁膜およびシリコン基板裏面の白金族金属による汚染を、洗浄液として金属除去用薬液に微量のフッ酸およびキレート剤を添加した洗浄液を用いる洗浄工程を有することを特徴とする半導体装置の製造方法。

【請求項2】 前記洗浄工程は、容量部となる白金族金属下部電極層、強誘電体膜および白金族金属上部電極層を形成後、容量部以外の素子部形成時の該容量部のマスク層としてのシリコン系絶縁膜形成後に実施することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記洗浄工程は、容量部を覆って形成されるシリコン系層間絶縁膜形成後に実施することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記洗浄工程は、前記容量部に接続する配線電極形成のためのコンタクトを前記シリコン系層間絶縁膜に形成した後に実施することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記金属除去用薬液が、塩酸及び過酸化水素を含むものである請求項1～4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 前記金属除去薬液中の塩酸濃度が1～10%の範囲である請求項5に記載の半導体装置の製造方法。

【請求項7】 前記金属除去薬液が、硫酸及び過酸化水素を含むものである請求項1～4のいずれか1項に記載の半導体装置の製造方法。

【請求項8】 前記洗浄液の液温が室温乃至洗浄液の沸点未満の温度範囲であることを特徴とする請求項1～7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】 前記キレート剤がカルボン酸の二塩基酸であることを特徴とする請求項1～8のいずれか1項に記載の半導体装置の製造方法。

【請求項10】 白金族金属層の形成に先立ってシリコン基板裏面に薄い酸化膜層を形成しておくことを特徴とする請求項1～9のいずれか1項に記載の半導体装置の製造方法。

【請求項11】 基板裏面のみを洗浄液に接触させることを特徴とする請求項1～10のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に白金族金属を容量部の電極材料として使用した半導体装置の製造過程におけるPt、Ir等の白金族金属の汚染物質を除去する工程を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 DRAMなどのメモリセルにおいては、近年、ますます微細化される傾向にある。しかしながら、従来の窒化膜や酸化膜を誘電膜として使用してもその誘電率が2～3程度しかない為、その容量を十分に確保できないという問題があり、これを解決する為にチタン酸バリウム、チタン酸ストロンチウム、チタン酸バリウムストロンチウムなどのイオン結合型ペロブスカイト構造の強誘電体膜が使用されるようになってきている。また、ICカードや汎用マイコン向けに強誘電体メモリ（FeRAM）混載ロジックLSIの実用化が盛んとなり、FeRAMの容量膜としても、PZT（Pb（ZrTi）O₃）やSBT（SrBi₂Ta₂O₉）などの強誘電体膜が使われている。これらの強誘電体膜が直に基板に接していると基板が酸化されて、容量特性が劣化してしまうという問題が起こる。従って、これらの材料を使用する場合、上部または下部容量電極として、これらの材料と反応しない、白金（Pt）やイリジウム（Ir）等の白金族金属を使用するようになってきた。図6、7に白金族金属と強誘電体膜を組み合わせた容量部とMOSトランジスタとを組み合わせ、電荷蓄積によってデータ記憶を行う半導体メモリ装置の製造工程断面を示し、白金族金属の使用例を具体的に説明する。

【0003】 はじめに、公知の方法を用い、図6（a）のようにMOS型トランジスタをシリコン基板1上に形成する。まずLOCOS法などの公知の方法により素子分離領域としてのフィールド酸化膜2を形成し、続いて熱酸化によりゲート絶縁膜3としてシリコン酸化膜を50～100nm程度形成する。ついでリンドープポリシリコン、WSiをこの順で成膜した後、これらをパターニングしてゲート電極4を形成する。次に、イオン注入により不純物拡散層5を形成してMOSFETを完成する。

【0004】 次に図6（b）に示すように、第1の層間絶縁膜6としてボロンを含んだシリコン酸化膜（BPSG）をCVD法により成膜した後、コンタクトホールをエッチングにより開口し、ホール内にTi膜、タングステン膜をこの順で成膜し、縦配線7を形成する。

【0005】 つづいて、図6（c）のように、容量部の下部電極層8となる白金薄膜を形成した後、PZTなどの強誘電体膜9、容量部の上部電極層10となる白金薄膜をこの順で形成する。

【0006】 次に、図7（a）に示す様に、他の素子部の形成時にこれらの容量部を保護するため、シリコン酸化膜からなるマスク層11を形成する。

【0007】 他の素子部を形成した後、マスク層11の上にフォトレジストパターン12を形成し、このレジストパターンをマスクとして、マスク層11、容量上部電極層10、強誘電体膜9、および容量下部電極層8をドライエッチングし、所定の容量部14の形状とする（図

7 (b))。

【0008】次に、容量部14および第1の層間絶縁膜6を覆って、第2の層間絶縁膜15を形成し、容量上部電極層10に上部配線を接続するための開口部16を形成する(図7(c))。

【0009】最後に、この開口部16を埋めて全面に金属膜を形成した後、所望形状にパターニングして上部配線17を形成し、窒化シリコンなどの第3の層間絶縁膜18を形成して、図5の断面図に示すような半導体メモリ装置が形成される。

【0010】ここで、従来、容量電極形状にエッチングする際、エッチング残渣が容量部14の側壁に付着し、素子特性を悪化させるという問題があり、エッチング残渣を取り除くために、洗浄操作が実施されていた。例えば、特開平10-12836号公報には、洗浄液として、塩酸、硝酸、フッ酸およびこれらの混合液や80℃以上の水、有機溶剤を用い、上記エッチング残渣を除去する方法が開示されている。

【0011】一方、半導体メモリ装置の製造段階で、例えば、前記したように他の素子部形成の保護マスク11として酸化シリコン膜を形成する際、また容量部14を覆うように第2の層間絶縁膜15を形成する際に、容量部14の上部白金薄膜10から発生する白金原子あるいは白金パーティクル13が保護マスク11上あるいは第2の層間絶縁膜15上に析出したり、上部電極とのコンタクトを形成するための開口部形成時に上部白金薄膜から飛び出した白金原子あるいは白金パーティクル、さらには、ドライエッチングで用いる塩素ガスとの反応生成物である塩化白金や、さらに酸化された塩化白金が第2層間絶縁膜15上に付着し、さらに、これらが形成後のシリコン基板1裏面にも付着している。特に、白金原子はシリコン基板中を熱拡散しやすいので、裏面に付着した白金原子がトランジスタ素子の形成領域まで移動すると、素子特性に極めて重大な影響を及ぼす。あるいは、また、前述の保護マスクあるいは第2の層間絶縁膜の形成装置を用いて他の半導体装置用シリコン基板に絶縁膜を形成する際に、装置内に残留していた白金原子あるいは白金パーティクルが絶縁膜上あるいはシリコン基板裏面に付着すれば、同様の問題を引き起こす。このような白金汚染は、 1×10^{10} atoms/cm²程度残留していてもライフタイムや電気特性に悪影響を及ぼすことが知られている。

【0012】これらの汚染物質は、金属イオンとして基板あるいは、基板上に形成されているシリコン酸化膜等の絶縁膜表面や基板裏面に吸着又は結合しているものと、パーティクルとして付着しているものとが挙げられる。

【0013】そこで、これらの白金族金属による汚染を取り除く必要があるが、従来、このような白金族金属による汚染を除去する手法について、有効な手だてはあま

り知られていない。

【0014】また、実際の製造設備では、除去する対象物によっては、例えば、他の工程と洗浄槽を共通に使用する場合もあり、その場合に、これらの白金族金属により汚染されたままの基板を洗浄した後に他の基板を洗浄すると、二次汚染を引き起こす恐れがあり、そのため、前もってこれらの白金族金属による汚染を取り除いておく必要がある。このような汚染された基板と他の基板とが共通の製造設備を使用することは、洗浄工程の他にも酸化膜形成工程など様々な工程で起こり得る。

【0015】従来の金属除去薬液としては、塩酸と過酸化水素と水(HCl-H₂O₂-H₂O:HPM)、硫酸と過酸化水素(H₂SO₄-H₂O₂:SPM)、硝酸と塩酸(王水)、アンモニア水-過酸化水素-水(NH₄OH-H₂O₂-H₂O:APM)などが知られている。しかしながら、これら従来公知の金属除去薬液は、一般的な重金属用途であり、イオン化傾向の極めて小さい白金やイリジウム等の汚染を十分に除去することができず、前記した 1×10^{10} atoms/cm²未満まで低減することは困難である。また、たとえ一旦基板表面から除去できたとしても、それが洗浄液中に懸濁浮遊している為、洗浄槽からの引き上げ時にこれらの汚染物質が再付着して、結局除去困難となる。

【0016】また、シリコンウエハの洗浄用として塩酸、フッ酸及び過酸化水素水の混合液を用いて、シリコンウエハ表面から金属及び自然酸化膜中の汚染物質を除去する技術については、例えば、特開平3-228327号公報、特開平8-31781号公報などに開示がある。しかしながら、これらはいずれもシリコンウエハ上の汚染物質の除去であり、デバイス構成要素の形成前の処理に関するものであり、特開平3-228327号公報では、HF:HCl:H₂O₂:H₂O=1:10:20:100の比率で混合し、常温で実施する例が、特開平8-31781号公報では17% HCl:25% HF=1:1を水で100倍に希釈し、これにH₂O₂を添加して使用している例が示されているが、どちらも通常の金属汚染除去には効果があるものの、シリコン系絶縁膜に対するPtやIrなどの白金族金属汚染に関して何ら示唆するものではない。

【0017】また、特開平7-45580号公報には、まず、シリコンウエハ上の表面自然酸化膜を希フッ酸で除去後、フッ酸、塩酸、過酸化水素及び水混合液でウエハ処理し、更に塩酸、過酸化水素、水混合液で洗浄する一連の洗浄プロセスにより、ウエハ表面に付着している銅などの金属汚染を除去する方法が開示されている。

【0018】しかしながら、白金やイリジウム等の白金族金属は、フッ酸に対して安定である為、最初にフッ酸処理を施すと、酸化膜表面などに付着しているものは、酸化膜のエッチングと同時に液中に取り出されるが、そのまま懸濁成分として存在している為、引き出しの際に

基板表面に再付着してしまい、十分な除去効果を得ることはできない。

【0019】また、特開平6-333898号公報には、半導体基板の表面に残存する有機物及び無機物を除去する強酸及び酸化剤と、半導体基板の表面を極微量だけエッチングすることにより半導体基板の表面に残存する残渣及びパーティクルを除去するフッ素を生成するフルオロ硫酸又は二フッ化スルフルリルよりなるフッ素含有化合物と、水とを含有する洗浄液によって半導体基板の表面を洗浄する方法が開示され、実施例ではポリシリコン膜をドライエッチングした後に付着する残渣を除去する例が示されているが、白金族金属除去については何ら言及されていない。

【0020】

【発明が解決しようとする課題】本発明者は、半導体基板上に形成された絶縁膜の白金族金属による汚染を除去する為、金属除去薬液に微量のフッ酸を添加した洗浄液を用いて白金族金属の除去を行う方法について提案している（特願平10-263482号）。該方法によれば、系内で生成する次亜塩素酸イオンや、硫酸イオンにより白金族金属をイオン化して溶解し、再付着を防止することで、これら白金族金属による汚染を 1×10^{10} atoms/cm²未満にまで低減できる。

【0021】しかしながら、高い効果を得るためには、かなりの強酸性条件を必要とすることから、製造する半導体装置構成によっては逆に悪影響を与えるおそれもあり、また次亜塩素酸イオンや硫酸イオンによるイオン化だけでは、酸化膜上の汚染は取り除けたとしても、シリコン基板への再付着を防止するには十分であるとは言えなかった。

【0022】従って、本発明の目的は、基板上に形成されたシリコン酸化膜等のシリコン系絶縁膜およびシリコン基板裏面に対するPtやIr等の白金族金属による汚染物質を確実に除去し、また、その再付着を防止し得る洗浄液及び洗浄方法を提供することにある。

【0023】

【発明を解決するための手段】本発明者は、上記課題を解決する為に鋭意検討した結果、半導体基板上に形成された絶縁膜および基板裏面の白金族金属による汚染を除去する為、金属除去薬液に微量のフッ酸とキレート剤を添加した洗浄液を使用することで、白金族金属による汚染物質を確実に除去し、また、除去されたものがキレート剤と反応してキレートを形成し、再付着しないことを見出し、本発明を完成するに至った。

【0024】すなわち本発明は、シリコン基板をベースとして白金族金属電極と強誘電体膜との組み合わせからなる容量部を有する半導体装置の製造方法であって、白金族金属に接して形成されるシリコン系絶縁膜およびシリコン基板裏面の白金族金属による汚染を、洗浄液として金属除去用薬液に微量のフッ酸およびキレート剤を添

加した洗浄液を用いる洗浄工程を有することを特徴とする半導体装置の製造方法である。

【0025】

【発明の実施の形態】以下、本発明を詳細に説明する。

【0026】本発明において使用される金属除去薬液とは、塩酸、硫酸等の無機酸に過酸化水素を添加したものが挙げられ、中でも塩酸が好ましい。

【0027】本発明の検討によれば、洗浄液として塩酸と過酸化水素の組み合わせのように、系内で次亜塩素酸を生成する成分と、微量、好ましくは1%以下のフッ酸を含む洗浄液を使用することで、白金族金属の除去効率が高いことを見出した。次亜塩素酸水溶液は極めて不安定で、通常は、次亜塩素酸塩の形で市販されているが、それらはナトリウム塩やカリウム塩などの半導体素子に悪影響を与える陽イオンを含む為使用できない。本発明では系内で次亜塩素酸を生成するような成分を組み合わせることで、不安定な次亜塩素酸の使用を可能としている。

【0028】塩酸は過酸化水素と反応して次亜塩素酸を形成するが、この次亜塩素酸の作用によりPtやIr等の白金族金属は一旦、塩化白金、塩化イリジウムのような塩化物を経るか、あるいは直接にテトラクロロ白金酸イオン($\text{H}[\text{PtCl}_4]^-$)、テトラクロロイリジウム酸イオン($\text{H}[\text{IrCl}_4]^-$)となり、洗浄液中に懸濁成分として残る量が少なくなる。さらに本発明では、キレート剤を添加することにより依然残存している白金族金属をキレート内に取り込むことで、洗浄液中にはほとんど懸濁成分が残っておらず、再付着を確実に防止することが可能となる。

【0029】この時、同時に添加したフッ酸の作用によりシリコン系絶縁膜がエッチングされ、シリコン系絶縁膜上に付着している白金族金属の汚染物質が除去しやすくなる。

【0030】本発明で使用するキレート剤とは、白金族金属とキレートを形成する能力のあるものであればいずれも使用可能であるが、同時に使用する金属除去薬液に対して安定であるという観点から、カルボン酸の二塩基酸が特に好ましい。

【0031】カルボン酸の二塩基酸としては、シュウ酸、マロン酸、コハク酸、クエン酸、リンゴ酸、フマル酸、シトラコン酸、酒石酸などの脂肪族二塩基カルボン酸、フタル酸、ナフタル酸などの芳香族二塩基カルボン酸が挙げられる。又、これらのカルボン酸の二塩基酸以外に、ピロメリット酸などのカルボン酸の多塩基酸も同様に使用可能である。

【0032】これらキレート剤の添加量は、10.0ppm～1%程度で十分な効果が得られる。

【0033】図1は、本発明及び従来技術による洗浄液を用いて、CVD法で200nm程度の膜厚に形成したシリコン酸化膜およびシリコン基板裏面上に付着したP

t 汚染の除去を実施した際のPt汚染量を示すグラフであり、単位面積あたりに付着したPt原子数を2~4枚のウエハについて計測した結果を示す。初期濃度 $1 \times 10^{11-12}(\text{atoms}/\text{cm}^2)$ 程度のPt汚染された基板を処理した場合、従来のHPM ($\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$) やSPM ($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=4:1$) で処理したものはほとんど除去効果がないことが分かる。これに対し、本発明者の先の提案になるHPFM ($\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=3:1:5+0.1\% \text{HF}$)、SPFM ($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=4:1+0.1\% \text{HF}$) では $1 \times 10^{10}(\text{atoms}/\text{cm}^2)$ 未満に低減されており、十分に効果があることが分かる。さらに、これらにキレート剤を添加した場合、ほぼ、検出限界までPt汚染が除去できていることが確認された。なお、塩酸系では液温65℃、硫酸系では130℃で実施している。また、Pt汚染量の測定は、熱王水回収液によるウエハ表面処理及びICP-MS測定により実施しており、この場合の検出限界は $1 \times 10^9(\text{atoms}/\text{cm}^2)$ 程度である。

【0034】塩酸濃度は1~25%の範囲で使うことが可能であるが、本発明では、他の素子部への悪影響を考慮して、1~10%の範囲で使うことが好ましい。また、過酸化水素の量は、0.5~5%程度が好ましい。塩酸濃度が低い場合は、相対的に添加する過酸化水素の量を少なくするのが好ましい。

【0035】フッ酸の量は、シリコン酸化膜のエッチレートとの関係で適宜最適となるように選択すればよいが、概ね1%以下とするのが好ましい。また、シリコン酸化膜以外の、例えばシリコン窒化膜あるいはシリコン酸窒化膜などのシリコン系絶縁膜の場合は、それよりも多く添加することも可能である。エッチレートとして1~5mm/minの範囲内となるようにフッ酸の量を規定するのが好ましい。

【0036】本発明の洗浄液も、従来の過酸化水素含有洗浄液同様、そのライフタイムはそれほど長くはないが、洗浄操作の直前に過酸化水素を混合して使うのが望ましい。

【0037】塩酸を使用する場合、洗浄の際の液温度は、室温(25℃)から洗浄液の沸点未満の温度、好しくは50~70℃程度の温度範囲で使用する。処理時間は、塩酸及び過酸化水素の量、液温度等により適宜変更すればよいが、あまり長すぎるとフッ酸による酸化膜の膜減りが許容限度を越える場合があり、また、短すぎれば十分効果が得られない。通常は、1~15分、好しくは5~10分程度である。

【0038】また本発明では、白金族金属層の形成に先立って、シリコン基板裏面に薄い酸化膜層を形成することで、基板裏面の汚染物質の除去を容易にすることができる。シリコンはシリコン酸化膜より白金族金属による汚染物質を吸着しやすい性質があるため、この方法は有効である。このような薄い酸化膜層は、熱酸化法や、C

VD法など、公知の方法で形成すれば良く、その膜厚としては、10~100nm程度形成すれば良い。

【0039】本発明における洗浄操作は、素子全体を洗浄液に浸漬(ディッピング)して行っても良いし、基板上に素子部を形成した後は、基板裏面のみを洗浄液に接触させる方法でも良い。又、例えば、スプレー法や、流水洗浄法など、その他公知の洗浄方法にも適用可能である。

【0040】

【実施例】以下、実施例を参照して本発明を具体的に説明するが、本発明はこれに限定されるものではない。

【0041】図2~4に白金族金属と強誘電体膜を組み合わせた容量部とMOSトランジスタとを組み合わせ、電荷蓄積によってデータ記憶を行う半導体メモリ装置の製造工程断面を示す。

【0042】はじめに、公知の方法を用い、図2(a)のようにMOS型トランジスタをシリコン基板1上に形成する。まずLOCOS法などの公知の方法により素子分離領域としてのフィールド酸化膜2を形成し、続いて熱酸化によりゲート絶縁膜3としてシリコン酸化膜を50~100nm程度形成する。ついでリンドーピングシリコン、WSiをこの順で成膜した後、これらをパターンニングしてゲート電極4を形成する。次に、イオン注入により不純物拡散層5を形成してMOSFETを完成する。

【0043】次に図2(b)に示すように、第1の層間絶縁膜6としてボロンを含んだシリコン酸化膜(BPSG)をCVD法により成膜した後、コンタクトホールをエッチングにより開口し、ホール内にTi膜、タンゲステン膜をこの順で成膜し、縦配線7を形成する。

【0044】つづいて、図2(c)のように、容量部の下部電極層8となる白金薄膜を形成した後、PZTなどの強誘電体膜9、容量部の上部電極層10となる白金またはイリジウム薄膜をスパッタ法によりこの順で形成する。この時、ウエハ裏面に白金汚染物が付着するが、ウエハ表面に白金膜が形成されているので浸漬法によるウエハ洗浄はできず、基板裏面のみを洗浄を行う。

【0045】次に、図3(a)に示す様に、他の素子部の形成時にこれらの容量部を保護するため、CVD法によりシリコン酸化膜からなるマスク層11を形成する。この時、マスク層11および基板1裏面には、白金による汚染物質13が付着している。この汚染物質13は、CVD装置でシリコン酸化膜を成膜中にウエハ表面の白金薄膜から金属イオンが放出されたものが付着したり、前の工程で裏面洗浄を省略した場合にウエハ裏面に付着していたものが飛散して付着すると推察される。このように、白金薄膜を形成したり、白金薄膜をエッチングしたりする工程ではないにも拘わらず、シリコン酸化膜の表面に白金汚染物が付着していることを、発明者は新たに見いだした。この工程における白金汚染物を洗浄する

ことなく次工程の処理を行うと、白金金属が自ウエハ内に拡散したり、他ウエハにクロス汚染して素子特性に影響を与えることになる。

【0046】そこで、このように白金汚染された基板を本発明になる洗浄液中に浸漬して洗浄操作を実施する。ここで使用した洗浄液の組成および洗浄条件は、以下の通りである。

＜洗浄液組成＞

- ・塩酸 5%
- ・過酸化水素 4%
- ・フッ酸 0.1%
- ・キレート剤（シュウ酸） 1000ppm

＜洗浄条件＞

- ・液温 65℃
- ・浸漬時間 10分

このような条件で洗浄操作を実施することで、汚染物質を確実に除去することができる。

【0047】次に、不図示の他の素子部を形成した後、マスク層11の上にフォトリソパターンを形成し、このレジストパターンをマスクとして、マスク層11、容量上部電極層10、強誘電体膜9、および容量下部電極層8をドライエッチングし、所定の容量部14の形状とする（図3（b））。この時、エッチング残渣が付着する可能性があるが、公知の方法あるいは本発明になる洗浄液を用いて残渣の除去を実施することができる。

【0048】次に、図4（a）に示すように、容量部14および第1の層間絶縁膜6を覆って、第2の層間絶縁膜15を形成するが、この時にも容量部の白金族金属層から金属イオンが放出され、第2の層間絶縁膜上および基板裏面に汚染物質が付着する。そこで、前記と同様の洗浄操作を実施することで同様に汚染物質の除去が達成される。

【0049】引き続き、容量上部電極層10に上部配線を接続するための開口部16をドライエッチングで形成する（図4（b））。この時にもわずかながら露出した上部電極層10がエッチングされることで汚染が発生する可能性がある。この場合、上部電極が露出しているので、スプレー法、流水洗浄法などにより基板裏面のみの洗浄を行う。または、上部電極を腐食しない洗浄液に基板を浸漬してエッチング残渣を除去する工程を設けても良い。

【0050】最後に、この開口部16を埋めて全面に金属膜を形成した後、所望形状にパターニングして上部配線17を形成し、窒化シリコンなどの第3の層間絶縁膜18を形成して、図5の断面図に示すような白金を電極として強誘電体キャパシタを有する半導体メモリ装置が形成される。上部配線17を形成後、基板裏面の洗浄を行い、第3の層間絶縁膜18を形成後、浸漬法によるウエハ洗浄を行う。

【0051】

【発明の効果】以上説明したように、本発明によれば、白金族金属汚染が確実に除去でき、しかも、再付着することがない為、他のデバイスへの二次汚染も防止できる。

【0052】また、白金族金属を成膜したり、エッチングした後、基板裏面を洗浄して白金族金属汚染物を除去するようにしたので、次工程でシリコン酸化膜形成用のCVD装置など汎用の装置にハンドラで搬入しても、ハンドラが白金族金属に汚染されることがなくなる。その結果、他の半導体基板が白金族金属によってクロス汚染されることがなくなる。

【0053】更に、白金族金属が露出した状態で、白金族金属の上面に層間絶縁膜などを成膜したとき、成膜中に飛散した白金族金属イオンで層間絶縁膜表面が汚染されるが、洗浄液に基板を浸漬して基板の表面と裏面を洗浄することにより、白金族金属汚染物を除去することができる。

【0054】また、洗浄液にキレート剤を添加することにより、塩酸濃度を低くすることができるので、洗浄による素子部への影響を低減することができる。

【0055】このようにして白金族金属汚染物を除去することにより、半導体基板内に白金族金属が拡散してトランジスタなどの素子特性を劣化させることがなくなり、信頼性の高い半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明及び従来技術になる洗浄液を用いた際のPt汚染量の違いを示すグラフである。

【図2】本発明の半導体装置の製造方法の一実施形態を示す工程断面図である。

【図3】本発明の半導体装置の製造方法の一実施形態を示す工程断面図である。

【図4】本発明の半導体装置の製造方法の一実施形態を示す工程断面図である。

【図5】本発明及び従来工程によって形成される白金族金属と強誘電体膜を組み合わせた容量部とMOSトランジスタとを組み合わせ、電荷蓄積によってデータ記憶を行う半導体メモリ装置の一例を示す概略断面図である。

【図6】従来の半導体装置の製造方法の一例を示す工程断面図である。

【図7】従来の半導体装置の製造方法の一例を示す工程断面図である。

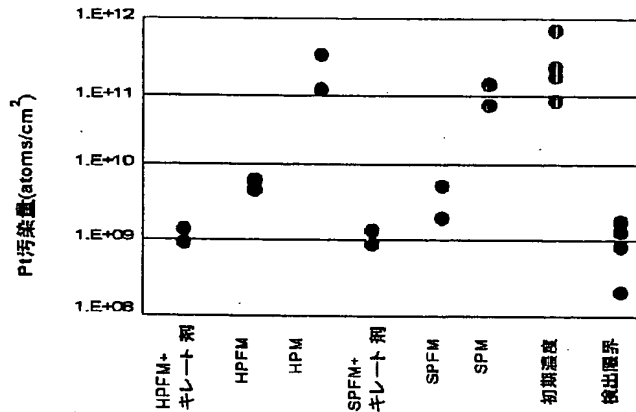
【符号の説明】

- 1 シリコン基板
- 2 フィールド酸化膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 拡散層
- 6 第1の層間絶縁膜
- 7 縦配線
- 8 下部白金薄膜

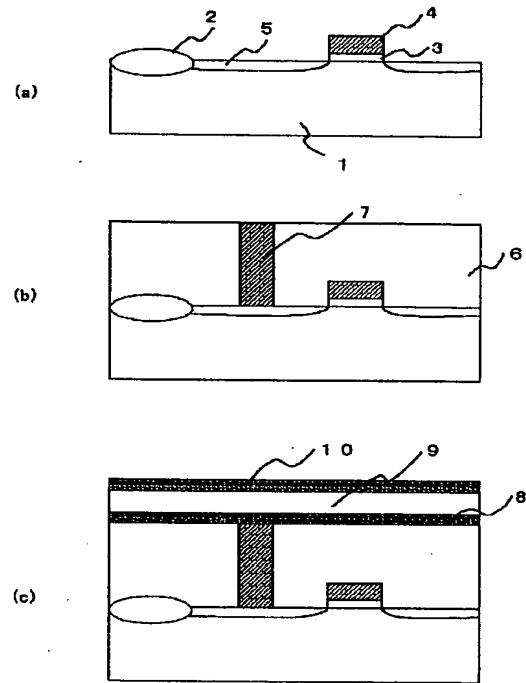
- 9 強誘電体膜
- 10 上部白金薄膜
- 11 マスク層
- 14 容量部

- 15 第2の層間絶縁膜
- 16 コンタクト開口部
- 17 金属配線
- 18 第3の層間絶縁膜

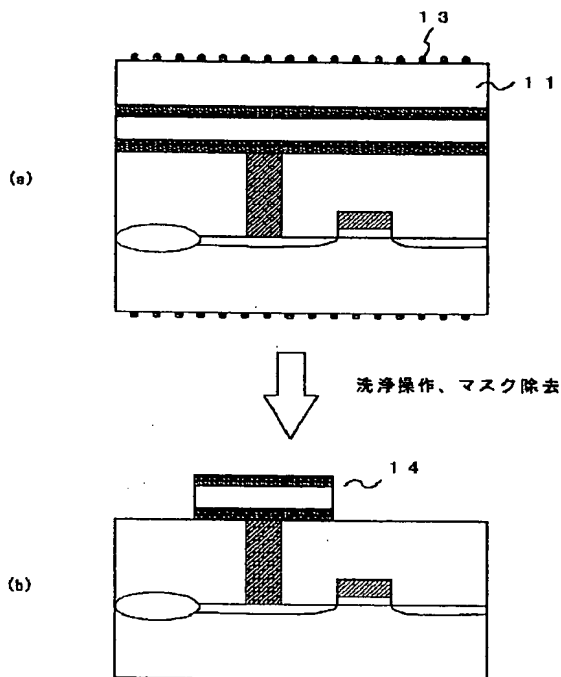
【図1】



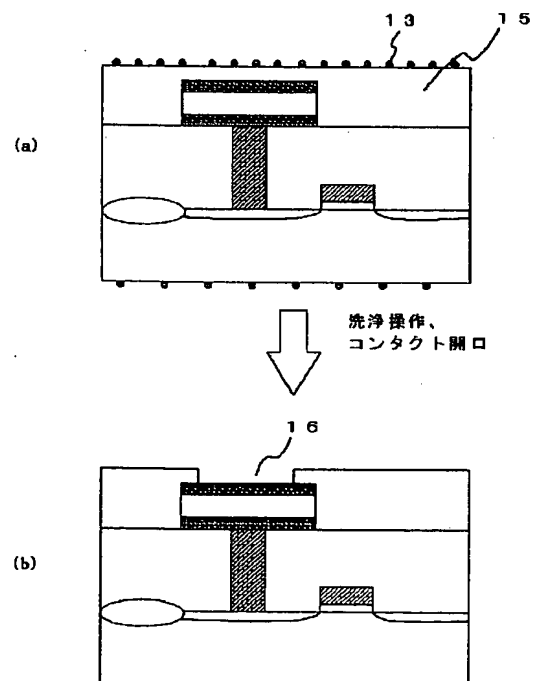
【図2】



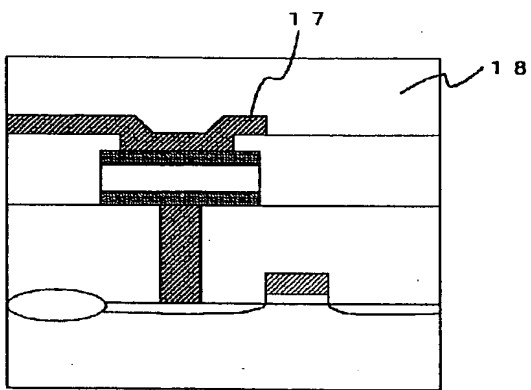
【図3】



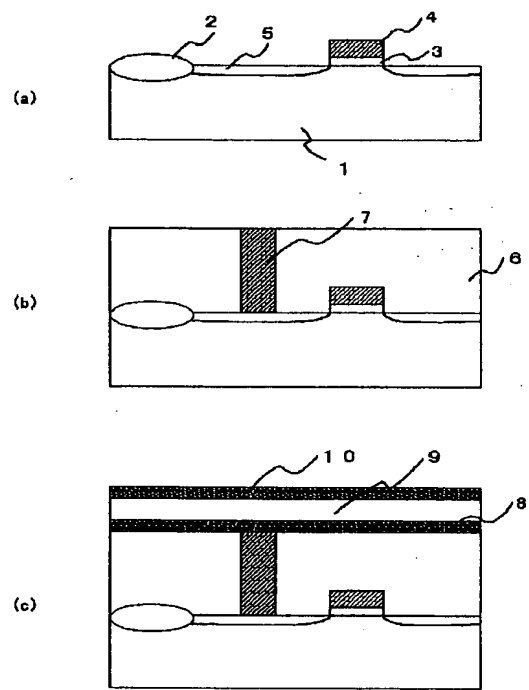
【図4】



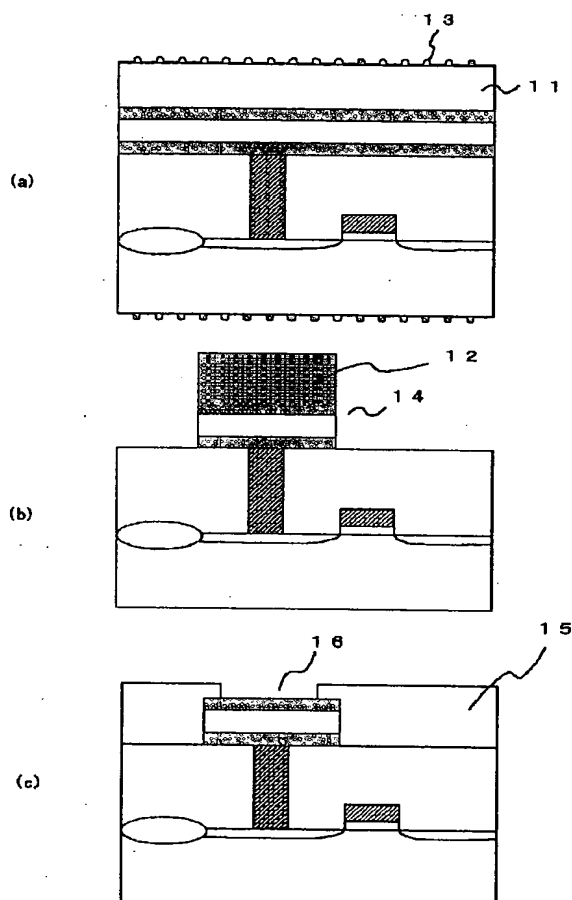
【図5】



【図6】



【図7】



【手続補正書】

【提出日】平成12年5月8日(2000.5.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 シリコン基板をベースとして白金族金属電極と強誘電体膜との組み合わせからなる容量部を有する半導体装置の製造方法であって、白金族金属電極と該白金族金属電極に接して形成されるシリコン系絶縁膜を成膜後の基板を、金属除去用薬液に微量のフッ酸およびキレート剤を添加した洗浄液に浸漬して洗浄する工程と、前記白金族金属電極の一部を露出させる工程と、該白金族金属電極が露出した基板の裏面を金属除去用薬液に微量のフッ酸およびキレート剤を添加した洗浄液で洗浄する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】 前記白金族金属電極の形成に先立って、シリコン基板裏面に薄い酸化膜層を形成しておくことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記白金族金属電極の形成後であって、シリコン系絶縁膜の形成前に基板裏面のみを前記洗浄液で洗浄する工程を有することを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記金属除去用薬液が、塩酸及び過酸化水素を含むものである請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】 前記金属除去用薬液中の塩酸濃度が1～10%の範囲である請求項4に記載の半導体装置の製造方法。

【請求項6】 前記金属除去用薬液が、硫酸及び過酸化水素を含むものである請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項7】 前記洗浄液の液温が室温乃至洗浄液の沸点未満の温度範囲であることを特徴とする請求項1乃至

6のいずれか1項に記載の半導体装置の製造方法。

【請求項8】 前記キレート剤がカルボン酸の二塩基酸であることを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】すなわち本発明は、シリコン基板をベース

として白金族金属電極と強誘電体膜との組み合わせからなる容量部を有する半導体装置の製造方法であって、白金族金属電極と該白金族金属電極に接して形成されるシリコン系絶縁膜を成膜後の基板を、金属除去用薬液に微量のフッ酸およびキレート剤を添加した洗浄液に浸漬して洗浄する工程と、前記白金族金属電極の一部を露出させる工程と、該白金族金属電極が露出した基板の裏面を金属除去用薬液に微量のフッ酸およびキレート剤を添加した洗浄液で洗浄する工程と、を有することを特徴とする半導体装置の製造方法である。